

## DIFFERENTIAL INPUT CIRCUIT

Patent Number: JP11041080

Publication date: 1999-02-12

Inventor(s): TAKAHASHI YASUHIKO

Applicant(s): NIPPON STEEL CORP

Requested Patent:  JP11041080

Application Number: JP19970211348 19970722

Priority Number(s):

IPC Classification: H03K19/0175

EC Classification:

Equivalents:

### Abstract

**PROBLEM TO BE SOLVED:** To provide a differential input circuit with a transmission delay time constant at all times.

**SOLUTION:** An NMOS transistor(TR) N3 of the same conduction type as an NMOS TR N1 is connected to the TR N1 and a reference signal is fed to each gate of NMOS TRs N2, N3. Each gate width of the TRs N1, N3 is selected to be a width twice that of the TR N2. Thus, a current i1 at trailing is nearly equal to a leading current i2 and a leading waveform of the signal outputted to a differential output terminal 10 is nearly equal to a trailing waveform. Furthermore, current limit circuit 2 is provided to make the transmission delay time at the leading nearly equal to that at the trailing.

Data supplied from the **esp@cenet** database - I2

特開平11-41080

(43)公開日 平成11年(1999)2月12日

(51)Int. C16

識別記号

H 03K 19/0175

F I

H 03K 19/00 101 K

審査請求 未請求 請求項の数 7

FD

(全 7 頁)

(21)出願番号 特願平9-211348

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(22)出願日 平成9年(1997)7月22日

(72)発明者 高橋 保彦

東京都千代田区大手町2-6-3 新日本製  
鐵株式会社内

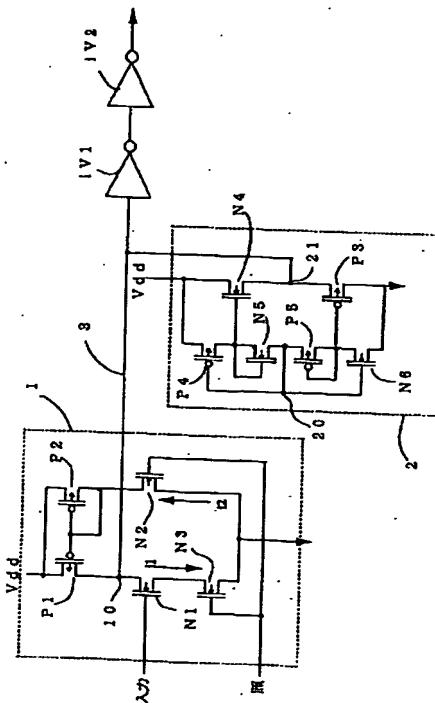
(74)代理人 弁理士 國分 孝悦

## (54)【発明の名称】差動入力回路

## (57)【要約】

【課題】 常に一定な伝達遅延時間を持つ差動入力回路を提供する。

【解決手段】 NMOSトランジスタN1に直列にNMOSトランジスタN1と同一導電型のNMOSトランジスタN3が接続され、参照信号がNMOSトランジスタN2、N3の各ゲートに供給される。NMOSトランジスタN1、N3の各ゲート幅は、NMOSトランジスタN2のゲート幅の倍の長さに設定されている。したがって、立ち下がり時の電流i1と、立ち上がり時のi2とがほぼ等しくなり、差動出力端子10に対して出力される信号の立ち上がり波形と立ち下がり波形がほぼ等しくなる。また、電流制限回路2を設けることにより、立ち上がりと立ち下がりの伝達遅延時間をほぼ等しくできる。



## 【特許請求の範囲】

【請求項1】 入力信号が供給される第1のトランジスタと、参照信号が供給される第2のトランジスタと、前記第1及び第2のトランジスタと異なる導電型を有する1対のトランジスタとを備えるカレントミラー回路を有する差動入力回路であって、

前記第1のトランジスタに直列に前記第1のトランジスタと同一の導電型の電流制限用トランジスタを接続し、前記電流制限用トランジスタのゲートに前記参照信号を供給することを特徴とする差動入力回路。

【請求項2】 各トランジスタを等価回路に置き換えた場合に、

前記第1のトランジスタと前記電流制限用トランジスタの直列回路の等価抵抗の大きさと、前記第2のトランジスタの等価抵抗の大きさとがほぼ等しくなるようにトランジスタのプロファイルが決定されていることを特徴とする請求項1記載の差動入力回路。

【請求項3】 前記第1のトランジスタと前記電流制限用トランジスタのゲート幅が前記第2のトランジスタのゲート幅のほぼ2倍の大きさに設定されていることを特徴とする請求項2記載の差動入力回路。

【請求項4】 前記カレントミラー回路の出力端に接続されその出力を入力とするロジックゲート回路と、前記カレントミラー回路と前記ロジックゲート回路との間に、前記出力をロジックゲートの論理しきい値付近の予め定められた振幅に制限するための振幅制限手段を設けたことを特徴とする請求項1～3の何れかに記載の差動入力回路。

【請求項5】 信号電圧と参照電圧を入力とし、それらの差動電圧を生成して出力するカレントミラー型の差動回路と、

前記差動回路の出力を入力とするロジックゲート回路とを備えた差動入力回路であって、

前記差動回路と前記ロジックゲート回路の間に、前記差動回路の出力を前記ロジックゲートの論理しきい値付近の予め定められた振幅に制限するための振幅制限手段を設けたことを特徴とする差動入力回路。

【請求項6】 前記振幅制限手段を構成するトランジスタの駆動能力は、前記ロジックゲート回路を構成するトランジスタの駆動能力に比べて充分小さな値に設定されていることを特徴とする請求項5記載の差動入力回路。

【請求項7】 前記振幅制限手段は、

第1の導電型を有する第3のトランジスタと第2の導電型を有する第4のトランジスタの直列回路と、第2の導電型を有する第5のトランジスタ、第1の導電型を有する第6のトランジスタ、第2の導電型を有する第7のトランジスタ及び第1の導電型を有する第8のトランジスタの直列回路と、

前記第5のトランジスタ及び前記第8のトランジスタのゲート端に前記第6のトランジスタと前記第7のトラン

ジスタの接続点の電位を供給する第1の接続手段と、前記第5のトランジスタと前記第6のトランジスタの接続点の電位を前記第3のトランジスタ及び前記第6のトランジスタのゲート端に供給する第2の接続手段と、前記第7のトランジスタと前記第8のトランジスタの接続点の電位を前記第4のトランジスタ及び前記第7のトランジスタのゲート端に供給する第3の接続手段とを備え、

前記第3のトランジスタと前記第4のトランジスタの接続点を前記ロジックゲートの入力信号線に接続したことを特徴とする請求項5記載の差動入力回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、差動入力回路に関し、集積回路の入出力インターフェース部等に用いて好適な差動入力回路に関するものである。

## 【0002】

【従来の技術】 近年、コンピュータ等に使われるC P Uの性能が飛躍的に向上し、100MHzを越える高周波数で動作するものが提供されている。そして、このような高速なC P Uに十分な情報を供給するために、クロックの立ち上がりと立ち下がりの両方のエッジを使用した転送方式や、0.4V程度の比較的小さな振幅を使用したインターフェース（小振幅のインターフェース）が実用化されている。

【0003】 そこで、例えば、小振幅のインターフェースを使用する場合、3V前後の動作電圧を必要とするI Cの内部動作の為に、外部より供給される小振幅の入力電圧を所定のレベルにまで増幅してやる必要があり、そのためには差動入力回路が用いられる。

【0004】 図3は従来の差動入力回路の一構成例を示す図である。

【0005】 図3において、NMOSトランジスタN1及びN2は、それぞれが同じ特性を持つトランジスタであり、NMOSトランジスタN1のゲート端子に小振幅の入力電圧が入力され、NMOSトランジスタN2のゲート端子に参照電圧が入力される。また、NMOSトランジスタN1及びN2の各ソース端子は、接地されている。

【0006】 NMOSトランジスタN1及びN2の各ドレイン端子は、それぞれPMOSトランジスタP1及びP2の各ドレイン端子と接続され、PMOSトランジスタP1及びP2の各ソース端子には、電源電圧Vddが供給されている。また、NMOSトランジスタN2のドレイン端子は、PMOSトランジスタP1及びP2の各ゲート端子にも接続されている。

【0007】 そして、差動回路の出力は、NMOSトランジスタN1のドレイン端子から得られるようになっている。

【0008】 こうして得られた差動回路の出力電圧は、

インバータ i V 1 により論理しきい値と比較され、内部の論理回路で使用するのに適したデジタル信号となる。

【0009】上述のような差動入力回路は、一般的な差動増幅回路を応用したものであり、差動回路の出力電圧は、2つの入力電圧と参照電圧の差電圧が増幅されることにより得られる。

【0010】尚、一般的な差動増幅回路では、NMOSトランジスタN1及びN2の各ソース端子がトランジスタや定電流源などを介して接地されるが、図3に示した差動入力回路のように、2つの入力電圧と参照電圧のうち一方が固定されている場合は、直接接地した方が簡単でかつ動作速度に関しても有利である。

【0011】上述したように、CPUの動作速度が高速化され、それに伴いクロックの立ち上がりと立ち下がりの両方のエッジを使用した転送方式や、0.4V程度の非常に小さな振幅を使用したインターフェースが実用化されてきた現状においては、より高速で、入力信号（入力電圧）の立ち上がりと立ち下がりにおける伝達遅延時間が等しく、さらに入力信号の振幅に伝達遅延時間が影響されにくい回路が必要となってくる。

【0012】また、DL LやPL L等の技術を用いて差動入力回路の伝達遅延時間を補償するような回路構成をとるなら、実際にデータが入力されている差動入力回路と、補正用に内部で遅延時間を測定するのに使用しているダミーの差動入力回路との伝達遅延時間が可能な限り等しいことが要求される。特に、この場合には、実際に外部から入力されている信号の振幅を知ることは困難であるので、できるかぎり入力信号の振幅に伝達遅延時間が影響されにくいことが必要である。

【0013】

【発明が解決しようとする課題】ところで、図3に示したような従来の差動入力回路の場合、入力信号の立ち上がりと立ち下がりでは、差動回路の出力の傾きが異なってしまう。これは、入力信号が参照電圧を越えて立ち上がる時は、参照電圧より高いゲート電圧を加えられたNMOSトランジスタN1により、差動回路の出力が急激に下がっていくのに対して、入力信号が参照電圧を越えて立ち下がる時には、参照電圧がゲートに加えられたNMOSトランジスタN2の電流がPMOSトランジスタP1及びP2で構成されたカレントミラー回路を経て出力される為である。

【0014】ここで、差動動作である以上、必ず立ち上がりの電流は、立ち下がりの電流より大きい。これによる傾きの差は、NMOSトランジスタN1及びN2を、直接ではなく定電流源を経由して接地することで、ある程度緩和する事ができる。

【0015】しかしながら、立ち上がりと立ち下がりの時間差を完全に補正するには、かなり小さな電流に制限せざるを得ず、高速動作が難しいといった欠点が有った。

【0016】また、差動回路の出力の振幅の中心は、その出力が供給されるインバータ i V 1 の論理しきい値と全く関係が無く、振幅それ自体もインバータ i V 1 の「0」又は「1」の判定に必要な電圧振幅と全く無関係に入力信号の振幅のみから決定されるので、信号が差動回路に入力されてから、インバータ i V 1 の論理しきい値に達するまでの時間は、いろいろな要素に複雑に影響してしまう。

【0017】そこで、本発明は、上記の欠点を除去するために成されたもので、常に一定した伝達遅延時間と有する差動入力回路を提供することを目的とする。また、本発明は、出力信号の立ち上がりエッジと立ち下がりエッジの何れのタイミングでも、ほぼ一定した伝達遅延時間と有する差動入力回路を提供することを目的とする。また、本発明は、入力信号の大きさに関わらず、ほぼ一定した伝達遅延時間と有する差動入力回路を提供することを目的とする。

【0018】

【課題を解決するための手段】上記目的を達成する為に本発明に係る差動入力回路は、入力信号が供給される第1のトランジスタと、参照信号が供給される第2のトランジスタと、前記第1、第2のトランジスタと異なる導電型を有する1対のトランジスタとを備えるカレントミラー回路を有する差動入力回路であって、第1のトランジスタに直列に第1のトランジスタと同一の導電型の電流制限用トランジスタを接続し、電流制限用トランジスタのゲートにも参照信号を供給するように構成されている。

【0019】この場合、各トランジスタを等価回路に置き換えた場合に、第1のトランジスタと電流制限用トランジスタの直列回路の等価抵抗の大きさと、第2のトランジスタの等価抵抗の大きさとがほぼ等しくなるように、トランジスタのプロファイルが決定されるのが望ましい。

【0020】このようなトランジスタのプロファイルを得るには、例えば、第1のトランジスタと電流制限用トランジスタのゲート幅を、第2のトランジスタのゲート幅の約倍の大きさに設定することにより達成される。この電流制限用トランジスタの働きで、入力信号が立ち上がる場合の傾きを、立ち下がる場合の傾きと等しくしている。

【0021】また、本発明に係る差動入力回路は、差動回路の出力とロジックゲート回路の間に、ロジックゲート回路の論理しきい値を中心とした振幅制限手段を設けている。この振幅制限手段によって、差動回路の出力を前記ロジックゲート回路の論理しきい値付近の予め定められた振幅に制限する。この振幅制限手段を構成するトランジスタの駆動能力は、比較的小さく設計される。したがって、差動回路と振幅制限手段の比で決まる大きさの振幅が、ロジックゲート回路に入力されることにな

る。

【0022】入力信号の振幅が小さいと差動回路の出力の振幅は小さく、ロジックゲート回路の論理しきい値付近で信号がスイングするので、小さい振幅の入力信号でも高速に論理しきい値を越えることができる。一方、入力信号の振幅が大きい場合は、振幅制限手段の効きがあまり良くないので、比較的大きなスイングをする。差動回路自体の速度は、入力信号の振幅が大きいほど早いが、ロジックゲート回路の入力の振幅が大きくなるので、論理しきい値に達するまでに時間がかかる。この時間で、差動回路の速度が相殺され、入力信号の振幅に依存しない伝達遅延時間を得ることが出来る。

【0023】すなわち、本発明に係る差動入力回路は、入力信号が供給される第1のトランジスタと、参照信号が供給される第2のトランジスタと、前記第1及び第2のトランジスタと異なる導電型を有する1対のトランジスタとを備えるカレントミラー回路を有する差動入力回路であって、前記第1のトランジスタに直列に前記第1のトランジスタと同一の導電型の電流制限用トランジスタを接続し、前記電流制限用トランジスタのゲートに前記参照信号を供給することを特徴とする。

【0024】また、各トランジスタを等価回路に置き換えた場合に、前記第1のトランジスタと前記電流制限用トランジスタの直列回路の等価抵抗の大きさと、前記第2のトランジスタの等価抵抗の大きさとがほぼ等しくなるようにトランジスタのプロファイルが決定されていることを特徴とする。

【0025】また、前記第1のトランジスタと前記電流制限用トランジスタのゲート幅が前記第2のトランジスタのゲート幅のほぼ2倍の大きさに設定されていることを特徴とする。

【0026】また、前記カレントミラー回路の出力端に接続されその出力を入力とするロジックゲート回路と、前記カレントミラー回路と前記ロジックゲート回路との間に、前記出力をロジックゲートの論理しきい値付近の予め定められた振幅に制限するための振幅制限手段を設けたことを特徴とする。

【0027】また、本発明に係る差動入力回路は、信号電圧と参照電圧を入力とし、それらの差動電圧を生成して出力するカレントミラー型の差動回路と、前記差動回路の出力を入力とするロジックゲート回路とを備えた差動入力回路であって、前記差動回路と前記ロジックゲート回路の間に、前記差動回路の出力を前記ロジックゲートの論理しきい値付近の予め定められた振幅に制限するための振幅制限手段を設けたことを特徴とする。

【0028】また、前記振幅制限手段を構成するトランジスタの駆動能力は、前記ロジックゲート回路を構成するトランジスタの駆動能力に比べて充分小さな値に設定されていることを特徴とする。

【0029】また、前記振幅制限手段は、第1の導電型

を有する第3のトランジスタと第2の導電型を有する第4のトランジスタの直列回路と、第2の導電型を有する第5のトランジスタ、第1の導電型を有する第6のトランジスタ、第2の導電型を有する第7のトランジスタ及び第1の導電型を有する第8のトランジスタの直列回路と、前記第5のトランジスタ及び前記第8のトランジスタのゲート端に前記第6のトランジスタと前記第7のトランジスタの接続点の電位を供給する第1の接続手段と、前記第5のトランジスタと前記第6のトランジスタの接続点の電位を前記第3のトランジスタ及び前記第6のトランジスタのゲート端に供給する第2の接続手段と、前記第7のトランジスタと前記第8のトランジスタの接続点の電位を前記第4のトランジスタ及び前記第7のトランジスタのゲート端に供給する第3の接続手段とを備え、前記第3のトランジスタと前記第4のトランジスタの接続点を前記ロジックゲートの入力信号線に接続したことを特徴とする。

【0030】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0031】本発明に係る差動入力回路は、例えば、図1に示すような差動入力回路に適用される。

【0032】この差動入力回路では、PMOSトランジスタP1及びP2の各ゲート端子同士を接続し、各ドレイン端子同士を電源電圧Vddに接続して、カレントミラー回路を形成している。また、PMOSトランジスタP2のソース端子とPMOSトランジスタP1及びP2の各ゲート端子同士の接続点を接続している。そして、PMOSトランジスタP1のソース端子に接続された差動出力端子10に差動回路1の出力が得られる。

【0033】PMOSトランジスタP1のソース端子には、NMOSトランジスタN1のドレイン端子が接続され、PMOSトランジスタP2のソース端子には、NMOSトランジスタN2のドレイン端子が接続されている。入力電圧（入力信号）はNMOSトランジスタN1のゲート端子に供給され、参照電圧（参照信号）はNMOSトランジスタN2のゲート端子に供給される。

【0034】ここまで図3の回路と同じ構成であるが、本実施の形態における差動入力回路では、NMOSトランジスタN1に直列にNMOSトランジスタN1と同一導電型のNMOSトランジスタN3が接続され、参照信号がNMOSトランジスタN2のゲート端子に供給される共に、NMOSトランジスタN3のゲート端子にも供給されるように構成されている。

【0035】ここで、NMOSトランジスタN1のゲート幅とNMOSトランジスタN3のゲート幅は、NMOSトランジスタN2のゲート幅の2倍の長さに設定されている。したがって、NMOSトランジスタN1、NMOSトランジスタN3及びNMOSトランジスタN2を等価抵抗（等価回路）で置き換えて見た場合に、MOS

トランジスタN1とNMOSトランジスタN3の直列回路とNMOSトランジスタN2の等価抵抗はほぼ同じ大きさになり、入力信号が参照信号よりも大きな場合に、MOSトランジスタN1及びNMOSトランジスタN3を介して差動出力端子10から引き抜かれる電流（図1において矢印i1で示す）と、入力信号が参照信号よりも小さな場合に、NMOSトランジスタN2及びPMOSトランジスタP1及びP2の回路を介して差動出力端子10に注入される電流（図1において矢印i2で示す）とがほぼ等しくなり、差動出力端子10に対して出力される信号の立ち上がり波形と立ち下がり波形がほぼ等しくなる。

【0036】本実施の形態における差動入力回路では更に、入力信号が大きな信号レベルを持つ場合に、信号の立ち上がりと立ち下がりの伝達遅延時間が異なってくる問題を解決するために、差動出力端子10と後段のインバータiV1（ロジックゲート）を結ぶ信号線3に振幅を制限する振幅制限回路2を接続している。

【0037】この振幅制限回路2は、信号線3の基準電位（入力信号が参照信号と同じ時の電位）を後段のインバータiV1の論理しきい値近傍に維持するように設定されている。

【0038】入力信号の振幅が小さいと差動回路1の出力の振幅は小さく、振幅制限回路2によってインバータiV1の論理しきい値付近で信号がスイングするので、小さい振幅の入力信号でも高速にインバータiV1の論理しきい値を越えることができる。

【0039】一方、入力信号の振幅が大きい場合は、振幅制限回路2の効きがあまり良くないので、比較的大きなスイングをする。差動回路1自体の応答速度は、入力信号の振幅が大きいほど早い。すなわち、図2の点線で示す信号波形のように、立ち上がり立ち下がりの角度が急峻になる。

【0040】ここで、振幅制限回路2があまり強力に振幅制限を行ってしまうと、例えば図2でV2で示す電圧に振幅制限したとすると、立ち上がりの角度が急峻な分、立ち下がりにおいても早く立ち下がり、小振幅の信号（図2の実線で示す信号波形）の立ち下がりタイミングよりも早く閾値V0を越えてしまい、入力信号の振幅によって伝達遅延時間が異なると言う問題が発生する。

【0041】そこで、本実施の形態における差動入力回路では、入力信号の振幅が大きい場合は、振幅制限回路2があまり効きかないように設定している。したがって、入力信号の振幅が大きい場合は、インバータiV1の入力の振幅が大きくなるので、立ち下がり時にインバータiV1の論理しきい値に達するまでに時間がかかり（図2の点線で示す信号波形）、小振幅の時にインバータiV1の論理しきい値に達するまでの時間t3と同じ伝搬遅延時間を得ることが出来る。すなわち、差動回路1の速度が相殺され、入力信号の振幅に依存しない伝達

遅延時間を得ることが出来る。

【0042】上述の振幅制限回路2は、NMOSトランジスタN4及びPMOSトランジスタP3を相補的に接続した第1の直列回路と、PMOSトランジスタP4、NMOSトランジスタN5、PMOSトランジスタP5及びNMOSトランジスタN6の第2の直列回路との2つの直列回路を並列接続した回路で構成されている。

【0043】第2の直列回路は、中点20の電位がPMOSトランジスタP4及びNMOSトランジスタN6の各ゲート端子に供給され、中点20の電位が電源電圧Vddを分圧してインバータiV1の論理しきい値近傍の値になるように動作する。

【0044】第1の直列回路のNMOSトランジスタN4及びPMOSトランジスタP3の各ゲート端子には、第2の直列回路の中点20からそれぞれNMOSトランジスタN5及びPMOSトランジスタP5のしきい値電圧だけずれた電圧が入力され、第1の直列回路の中点21の電位がこのインバータiV1の論理しきい値近傍の値からずれた場合に、中点21の電位をインバータiV1の論理しきい値近傍の値に戻すように働く。

【0045】NMOSトランジスタN5とNMOSトランジスタN4の比を変えることで、振幅制限の効き具合を変えられる。振幅の最大値は、PMOSトランジスタP1とPMOSトランジスタP3の比によって決定され、振幅の最小値は、NMOSトランジスタN1及びNMOSトランジスタN2とNMOSトランジスタN4の比によって決定される。この比の設定は図2に示すように、小振幅時と大振幅時の伝搬遅延時間がほぼ同じになるように設計的に決定される。

【0046】上述のように、本実施の形態における差動入力回路では、信号入力用のNMOSトランジスタN1と直列に電流制限用のNMOSトランジスタN3を設けていることにより、入力信号の立ち上がり、立ち下がりの傾きを等しくでき、且つまた、差動回路1の出力とインバータiV1の間にインバータiV1に論理しきい値を中心とした振幅制限回路2を設けているため、インバータiV1の論理しきい値を中心とした差動回路1の出力振幅が得られるので、入力信号の立ち上がりと立ち下がりの伝達遅延時間を等しくできる。さらに、振幅制限回路2を弱めに利かせることにより、差動回路1の入力信号の振幅に依存した速度差を相殺できる。

【0047】尚、本発明は、IC回路で用いられるEIAJの規格SSTL-3等のインターフェース部分に用いても好適なものである。

【0048】

【発明の効果】以上説明したように本発明によれば、常に一定な伝達遅延時間を持つ差動入力回路を得ることができる。具体的には、出力信号の立ち上がりエッジと立ち下がりエッジどちらのタイミングでもほぼ一定な伝達遅延時間を持つ差動入力回路を得ることができる。ま

た、入力信号の大きさに関わらず、ほぼ一定な伝達遅延時間を持つ差動入力回路を得ることが出来る。

【図面の簡単な説明】

【図1】本発明に係る差動入力回路を適用した差動入力回路の回路図である。

【図2】上記差動入力回路の動作を説明するための図である。

【図3】従来の差動入力回路の回路図である。

【符号の説明】

1 差動回路

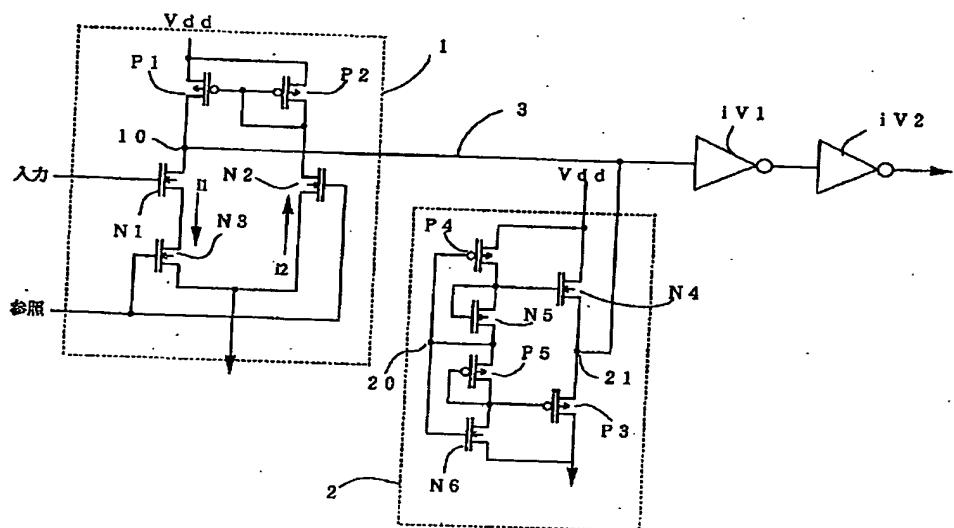
2 進歩区制限回路

P1～P5 PMOSトランジスタ

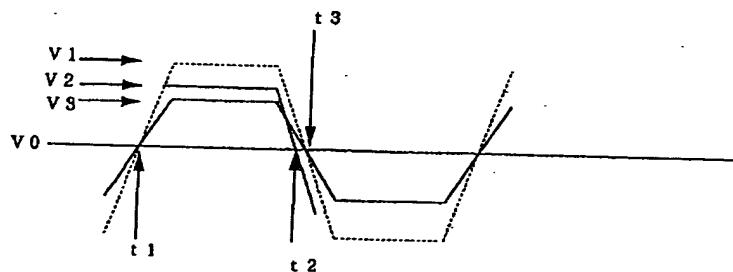
N1～N6 NMOSトランジスタ

iV1 インバータ

【図1】



【図2】



【図3】

